

# 단일 오류 정정 및 3 비트 심볼 내 2 스포티 오류 정정이 가능한 오류정정부호의 새로운 설계 연구

김찬기

조선대학교 정보통신공학부

carisis@chosun.ac.kr

## New Design of Single Error Correction and 2 Spotty Error Correction Codes in 3-bit Symbol Codes

Chanki Kim

Dept. of Information and Communication Engineering, Chosun University

### 요 약

고속 통신을 위한 고속 인터커넥트 및 메모리 시스템의 고 신뢰성 구현을 위해서는, 오류정정부호의 활용이 필수적이다. 본 논문에서는 기존 SECDED 부호 대비 동등한 수준의 패리티 및 복잡도를 보 이면서, 단일 비트 오류 및 3 비트 심볼내 2 스포티 오류 정정이 가능한 오류정정부호의 새로운 설 계 방법론 및 저지연 복호기를 제안한다.

### 1. 서론

최근 ICT 서비스 및 인프라 성능 향상의 많은 부 분은 초고속 통신을 위한 인터커넥트 기술의 비약 적인 발전에 많은 부분을 의존해왔다. 이러한 초고 성능 인터커넥트 기술은 적용 단위에 따라 CXL [1] 혹은 PIM [2] 등의 메모리 반도체 솔루션부터, 초 고성능 클러스터 구축을 위한 초고속 이더넷 개발 등 넓은 영역에 걸쳐 있다. 최근 인터커넥트 기술 의 난제는 초고속 데이터 전송 환경에서 신호의 신 뢰성을 확보하기 어렵다는 점으로, 이를 극복하기 위해 오류정정부호 기술이 새로 도입되고 있다.

주요한 설계 요건은 해당 기술의 도입으로 인해 추가적으로 요구하는 복잡도 및 지연을 최소화해야 한다는 점이며, 이를 만족하기 위해 최근 연구되는 오류정정부호 대비 비교적 낮은 정정능력이지만 저 복잡도, 저지연으로 구현될 수 있는 SECDED와 같은 부호가 전통적으로 활용되어 왔다. 그러나 이러한 오류정정부호는 최근의 인터커넥트에서 발생하는 랜덤 비트 오류 외의 비트 스포티 오류와 같은 다 양한 패턴의 오류를 대처하기에 부족하며, 따라서 보다 다양한 패턴에 대처할 수 있는 오류정정부호 의 설계가 요구된다.

본 논문에서는 주요 파라미터에서 SECDED 대비 동등한 패리티 수를 보이면서도, 3 비트 심볼 내 2 비트의 스포티 오류에 대해 정정가능한 새로운 오 류정정부호 설계 방법을 제안하고자 한다. 또한 해 당 부호의 특징을 활용하여 저지연을 확보할 수 있

는 복호기를 새로 제안하고자 한다.

해당 논문은 다음과 같이 구성된다. 2 장인 연구 배경에서는 시스템 모델 및 오류 패턴에 대해 설명 한다. 3 장에서는 새로 제안하는 부호의 설계 방법 론 및 복호기를 설명한다. 4 장에서는 제안 복호기 가 달성할 수 있는 성능에 대해 논의한다. 5 장인 결론에서는 논문의 내용을 정리한다.

### 2. 시스템 모델

해당 연구의 시스템 모델은 다음과 같다. 먼저, 부호길이  $N$ , 메시지 길이  $K$ 이며 패리티 검사행렬 이  $H$ 인 오류정정부호를 가정하자. 부호화의 결과 로 생성된 부호어  $\mathbf{c}$ 는 그림 1과 같은 행의 수가 3 인 이차원 어레이 구조로 재배치된 후, 수신단에 서는 다음과 같은 오류 중에 하나를 겪는다고 가 정한다.

- 단일 비트 오류: 임의의 어레이 비트 중 하 나의 비트의 값이 변동하는 경우
- 2/3 심볼 스포티 오류: 심볼 위치 내 3 비 트 중 임의의 2 비트의 값이 변동하는 경우

기존 SECDED 부호를 이용하는 경우, 단일 비트 오류를 정정할 수 있으며, 2/3 심볼 스포티 오류에 대해서는 검출이 가능하다. 반대로, 제안 오류정정 부호의 경우, 단일 비트 오류 및 2/3 심볼 스포티 오류에 대한 정정이 모두 가능하다.

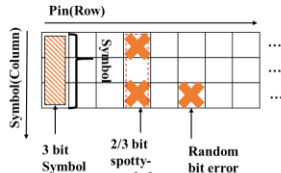


그림 1 시스템 모델 상의 오류 패턴

해당 오류정정부호에서 설계과정에서의 주요 지표는 패리티 수  $p = n - k$ 이다. 제안 오류정정부호는 적은 정정능력을 지닌 SECDED와 동등한 패리티 수를 보인다는 장점이 있다. 다음 장에서는 제안하는 오류정정부호의 설계 방법 및 저지연 복호기를 소개하고자 한다.

### 3. 제안 방법론

#### A. 제안 오류정정부호 설계 방법

제안 오류정정부호는 패리티 수를  $\left\lceil \log_2 \left( \frac{2n}{3} + 1 \right) \right\rceil + 2$  비트를 사용하는 이진 선형 부호로서, 그림 2의 구조를 지닌 패리티 검사행렬을 통해 표현할 수 있다.



그림 2. 제안 오류정정부호의 패리티검사행렬 구조

여기서  $\alpha^i$ 는 길이가  $\left\lceil \log_2 \left( \frac{2n}{3} + 1 \right) \right\rceil$ 일 원시 다항식의 해의  $i$  제곱승을  $1 \times \left\lceil \log_2 \left( \frac{2n}{3} + 1 \right) \right\rceil$  벡터로의 가산 표현이다. 또한 패리티검사행렬  $H$ 을 부호어  $c$ 와 곱하여 신드롬  $s$ 을 생성하며,  $\left\lceil \log_2 \left( \frac{2n}{3} + 1 \right) \right\rceil$  비트인 SEC 신드롬 비트 및 2비트의 FLAG 신드롬 비트가 구성된다. 저지연 복호기는 해당 구조를 이용하여, 복호를 수행하며 자세한 내용은 다음과 같다.

#### B. 저지연 복호기 설계

Flag 신드롬 (Inverse, ROM Shifter)	SEC 신드롬	수행 동작
(0,0)	= 0	오류 없음
	$\{\alpha^0 + \alpha^2, \alpha^0 + \alpha^4, \dots, \alpha^{2^{n-1}}(\alpha^0 + \alpha^2)\}$	2비트((1,2) 위치) 오류 정정
(0,1)	이 외	오류 검출
	= 0	오류 검출
(1,0)	$\{\alpha^0, \alpha^1, \dots, \alpha^{2^{n-1}}\}$	1비트((1) 위치) 오류 정정
	$\{\alpha^2, \alpha^{2^2}, \dots, \alpha^{n-1}\}$	1비트((2) 위치) 오류 정정
(1,1)	= 0	오류 검출
	$\{\alpha^0 + \alpha^2, \alpha^0 + \alpha^4, \dots, \alpha^{2^{n-1}}(\alpha^0 + \alpha^2)\}$	1비트((3) 위치) 오류정정
(1,1)	이 외	오류 검출
	= 0	오류 검출
(1,1)	$\{\alpha^0, \alpha^1, \dots, \alpha^{2^{n-1}}\}$	2비트 ((2,3) 위치) 오류 정정
	$\{\alpha^2, \alpha^{2^2}, \dots, \alpha^{n-1}\}$	2비트 ((1,3) 위치) 오류 정정

표 1 ROM 테이블 판단 조건

저지연 복호기의 일부는 플래그 비트의 값에 따른 ROM 테이블의 결과를 바탕으로 동작하며, ROM 테이블은 SEC 신드롬 및 FLAG 신드롬의 결과에 따라 오류 정정 조건을 표 1과 같이 판단한다.

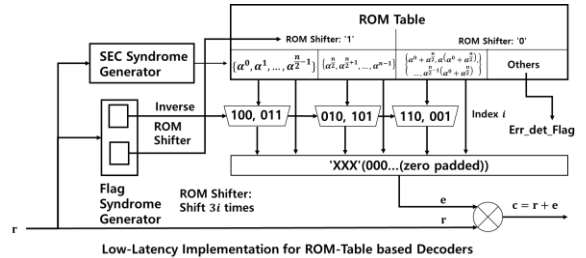


그림 3 ROM 테이블에 기반한 저지연 복호기 구조

ROM 테이블에 기반한 저지연 복호기의 전체적인 구조는 그림 3과 같다. 수신 값인  $r$ 으로부터, SEC 신드롬 및 Flag 신드롬을 연산하는 과정이 우선되며, 해당 값을 바탕으로 ROM 테이블이 오류 종류를 판단하는 과정, 정정가능한 오류인 경우, 이를 오류 벡터로 생성으로 생성하는 과정을 포함한다.

### 4. 성능 분석

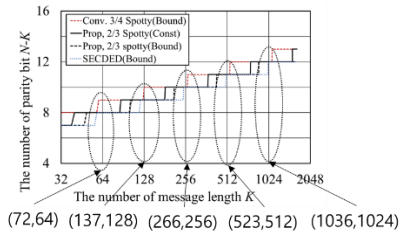


그림 4 제안 및 기존 부호의 패리티 수 비교

그림 4는 제안 및 기존 부호의 패리티 수를 메시지 길이에 맞게 비교한 것이다. 컴퓨팅 응용의 경우 버스 라인의 길이에 맞추기 위해 메시지 길이를 128 등 2의 배수로 설계하는 것을 선호하는 데, 해당 위치에서, 제안 부호는 정정 능력이 증가했음에도 SECDED와 같은 패리티 수를 유지함을 알 수 있다.

### 5. 결론

본 논문에서는 단일 비트 오류 및 2/3 심볼 스폿티 오류를 정정할 수 있는 새로운 오류정정부호를 제안하였다. 또한 해당 부호를 저지연으로 동작할 수 있는 복호기의 ROM 테이블 구조를 제안하였다. 추후 다양한 오류 패턴을 저 복잡도로 해결할 수 있는 부호를 연구하고자 한다.

### ACKNOWLEDGEMENT

이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 2021R1G1A1091369).

### 4. 참고 문헌

- [1] D. D. Sharma, "Compute Express Link™ (CXL™): Enabling heterogeneous data-centric computing with heterogeneous memory hierarchy," *IEEE Micro*, Early Access.
- [2] S. Lee et al, "Hardware Architecture and Software Stack for PIM Based on Commercial DRAM Technology: Industrial Product," Int'l. Symp. on Comp. Arch. (ISCA), Valencia:Spain, 14 Jun. 2021.